

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-131637

(43)Date of publication of application : 13.06.1987

(51)Int.Cl.

H04L 7/00  
H04L 25/02  
// G01R 29/00

(21)Application number : 60-271780

(71)Applicant : NEC CORP

(22)Date of filing : 02.12.1985

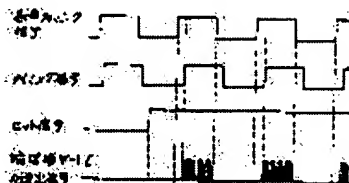
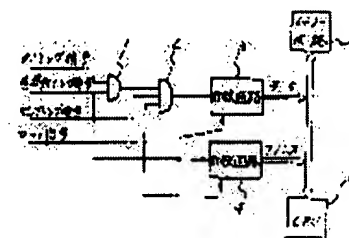
(72)Inventor : KAMEYAMA SHIGEJI  
ONO TATSUHIRO

## (54) TIMING JITTER MEASURING SYSTEM

## (57)Abstract:

**PURPOSE:** To obtain the result of measuring representing the elapsed time of jitter quantity at every time slot by providing a storage means writing a data representing the time width decided depending on the quantity of phase jitter in a location represented by an address signal indicating a time slot number.

**CONSTITUTION:** When a jitter measuring period is designated at the pulse leading of a set signal at the measurement, a clock pulse train of sampling signal appears in the transmission signal of an AND gate 2 for a pulse leading period in common to both a reference timing signal and a timing signal extracted from the output pulse being the object of measurement. A counter circuit 3 resets the result of count to zero at every leading of the pulse of the reference timing signal, counts the clock pulse of the transmission signal from the gate 2 and sends the data representing the count result to a bus. Further, a counter circuit 4 is reset by the pulse leading of the set signal, counts the pulse of the reference timing signal, generates the result of count representing the time slot number and sends it to a path as an address. A CPU 6 makes a memory circuit 5 write the data to a location shown in the address.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭62-131637

⑤Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬公開 昭和62年(1987)6月13日  
H 04 L 7/00 3 0 2 H-6745-5K  
25/02 A-7345-5K  
// G 01 R 29/00 7359-2G 審査請求 未請求 発明の数 1 (全3頁)

⑭発明の名称 タイミングジッタ測定方式

⑮特 願 昭60-271780

⑯出 願 昭60(1985)12月2日

⑰発 明 者 亀 山 茂 治 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱発 明 者 小 野 龍 宏 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

タイミングジッタ測定方式

## 2. 特許請求の範囲

基準タイミング信号およびこれに対し位相ジッタをもつタイミング信号を受けて前記位相ジッタの位相に応じて決まる時間幅をもつパルスが発生する論理ゲートと、該論理ゲートが発生する前記パルスの時間幅を計測し該計測結果を示すデータが発生する第1の計時手段と、前記基準タイミングのパルスを計数してタイムスロットの番号を示すアドレス信号が発生する第2の計時手段と、前記アドレス信号が示す場所に前記データを格込む記憶手段とを備えていることを特徴とするタイミングジッタ測定方式。

## 3. 発明の詳細な説明

( 産業上の利用分野 )

本発明はタイミングジッタ測定方式に関する。

( 従来の技術 )

パルス符号変調などによるデジタル通信方式では通常、伝送路から受信したパルス列からタイミング信号を抽出する自己タイミング抽出方式が適用されている。この場合、受信パルス列の伝送中に波形歪が生じたり雑音が相加されるので、抽出されたタイミング信号の位相が本来のタイミング位相からずれて、タイミングジッタを生じる。従来、タイミングジッタ測定方式として、抽出タイミング信号と基準タイミング信号との位相を比較して、両者の位相差を電圧振幅に変換したあと低域フィルタを通すことにより、タイミングジッタの突効値を得る方法が用いられている。

( 発明が解決しようとする問題点 )

上述した従来のタイミングジッタ測定方式では、測定結果として得られるのはジッタ量の比較的長時間にわたる平均値を示す突効値であり、タイムスロット毎のジッタ量が時間経過に伴ってどのように変動するかを知ることはできず、通信方式や

機器の設計あるいは評価のためのデータとして不十分であることが多いという問題点がある。

本発明の目的は、上述の問題点を解決するためタイムスロット毎のジッタ量の時間経過を示す測定結果が得られるタイミングジッタ測定方式を提供することにある。

#### 〔問題点を解決するための手段〕

本発明の測定方式は、基準タイミング信号およびこれに対し位相ジッタをもつタイミング信号を受けて前記位相ジッタの量に応じて決まる時間幅をもつパルスが発生する論理ゲートと、該論理ゲートが発生する前記パルスの時間幅を計測し該計測結果を示すデータを発生する第1の計時手段と、前記基準タイミングのパルスを計数してタイムスロットの番号を示すアドレス信号を発生する第2の計時手段と、前記アドレス信号が示す場所に前記データを格込む記憶手段とを備えている。

#### 〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図で

- 3 -

第2図に示すごとく、測定時にセット信号のパルス立上り期間でジッタ測定期間が指示されると、論理ゲート2の送出信号には、基準タイミング信号および被測定対象の出力パルスから抽出されたタイミング信号の両方に共通のパルス立上り期間でだけ、サンプリング信号のクロックパルス列が現われる。第1図中の計数回路3は、基準タイミング信号のパルス立上り時毎に計数結果をゼロにリセットしたあと、論理ゲート2の送出信号のクロックパルスを計数して、計数結果を示すデータをバスに送出する。また計数回路4は、セット信号のパルス立上りでリセットされたあと、基準タイミング信号のパルスを計数してタイムスロットの番号を示す計数結果を発生しアドレスとしてバスに送出する。CPU6は、計数回路3のリセット直前でのデータおよびアドレスをメモリー回路5に与えるよう制御を行い、メモリー回路5中のRAM（書き込み読み出し両用メモリー）に対し、アドレスで示された場所へのデータの書き込みを行わせる。予め設定したジッタ測定期間の終了時に

- 5 -

あり、第2図はその動作を説明するためのタイミング図である。第1図において、タイミング信号は、被測定対象である伝送路に適用した通信機器の受信パルス列から抽出したタイミング信号であり、基準タイミング信号と共に論理ゲート1に送られる。サンプリング信号は、タイミング信号よりも十分高速な予め定めた周波数をもつクロックパルス列である。またセット信号は、ジッタ測定期間を指示するためのパルスである。サンプリング信号およびセット信号は、論理ゲート1の送出信号と共に、論理ゲート2へ送られている。論理ゲート2の送出信号は、計数回路3の計数入力端に送られている。計数回路3のリセット端には、基準タイミング信号を与えている。また計数回路4の計数入力端には基準タイミング信号を与え、リセット端にはセット信号を与えてある。計数回路3の計数結果を示すデータおよび計数回路4の計数結果を示すアドレスの両信号は、プロセッサ（CPU）6およびメモリー回路5を接続しているバスに送られる。

- 4 -

は、セット信号のパルスが立下って、上述のメモリー回路5への書き込みを終了する。この間にメモリー回路5には、被測定タイミング信号および基準タイミング信号の双方ともパルス立上り期間であった時間幅を示すデータが、タイムスロット毎に順次に書き込まれる。これらのデータは、タイムスロット毎のジッタ量に対応して変化する時系列を装わずから、CPU6はこのデータ系列をメモリー回路5から読出して、例えばデジタル信号処理アルゴリズムによりジッタのスペクトル分解を行うことにより、通信方式や機器の設計あるいは評価のための所望のデータを得ることができる。

なお本実施例（第1図）中の論理ゲート1の代りに排他的論理和ゲートを使用すれば、論理ゲート2の送出信号として、被測定タイミング信号および基準タイミング信号のパルス前縁および後縁のそれぞれの不一致期間でだけサンプリング信号のクロックパルスが現われる信号が得られる。従ってこの場合には、各タイムスロット毎にタイミング信号のパルス前縁および後縁でのジッタ量

- 6 -

を示すデータ系列が得られることは明らかである  
(図示は省略する)。

(発明の効果)

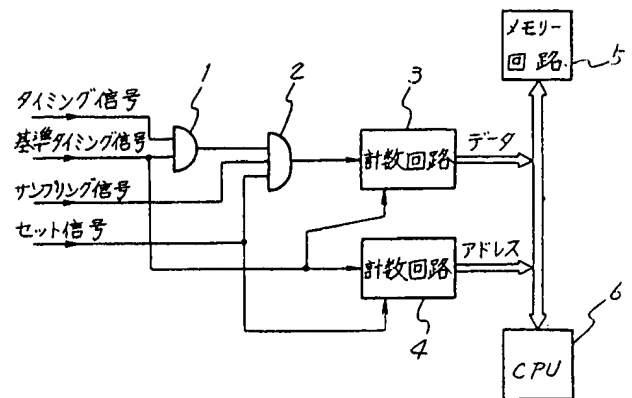
以上説明したように本発明には、タイムスロット毎のジッタ量の時間経過をデジタル値で示す測定結果が得られるタイミングジッタ測定方式を実現できるという効果があり、特に測定結果をプロセッサで解析する場合に適用してその効果が著しい。

#### 4. 図面の簡単な説明

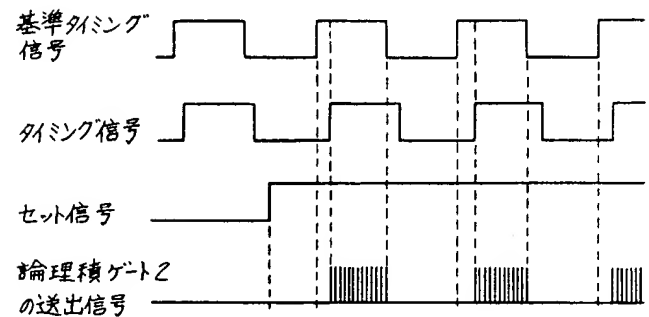
第1図および第2図はそれぞれ本発明の一実施例を示すブロック図およびタイミング図である。

1, 2 ……論理積ゲート、3, 4 ……計数回路、  
5 ……メモリー回路、6 ……プロセッサ (CPU)。

代理人 弁理士 内 原



第 1 図



第 2 図